

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

4626746

Basic Patent (No,Kind,Date): JP 59078388 A2 840507 <No. of Patents: 002>

DISPLAY ELECTRODE STRUCTURE FOR LIQUID CRYSTAL DISPLAY PANEL

(English)

Patent Assignee: SANYO ELECTRIC CO

Author (Inventor): SENOO YUTAKA

IPC: \*G09F-009/35; G02F-001/133

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 59078388	A2	840507	JP 82190141	A	821028 (BASIC)
JP 92043250	B4	920716	JP 82190141	A	821028

Priority Data (No,Kind,Date):

JP 82190141 A 821028

**C nciise of Statement of JP 59-78388**

A liquid crystal display device comprises, a pair of insulating substrates with a liquid crystal interposed therebetween; a lot of display electrodes formed on one of the insulating substrates; counter electrodes formed on the other one of the insulating substrates; and FETs formed on the one of the insulating substrates and each having a source (or a drain) connected to the display electrode and a drain (or a source) connected to an information signal line.

In a display electrode structure of the liquid crystal display device, a plurality of FETs in which each gate is connected to a same timing signal line constitute one group; each drain (or source) of the FETs of the group is connected to a common information signal line; and a display electrode to which each source (or drain) of the FETs of the group is connected constitutes one pixel.

⑤ 特許出願公開

⑫ 公開特許公報 (A)

昭59—78388

51 Int. Cl.<sup>9</sup>  
G 09 F 9/35  
G 02 F 1/133

識別記号

庁内整理番号  
 6615—5C  
 7348—2H

④公開 昭和59年(1984)5月7日

発明の数 1  
審査請求 未請求

(全 4 頁)

#### ⑤液晶表示パネルの表示電極構造

守口市京阪本通2丁目18番地三  
洋電機株式会社内

特 願 昭57-190141

⑦出 願 人 三洋電機株式会社

●出 願 昭57(1982)10月28日

守口市京阪本通2丁目18番地

發明者 妹尾豊

⑦代理人 弁理士 佐野静夫

男 和 書

1 発明の名称 液晶表示パネルの表示電極構造

## 2 特許請求の範囲

1 液晶を挟んで対向配置された一対の絶縁基板、該絶縁基板の一方に設けられた多数の表示電極、上記絶縁基板の他方に設けられ上記表示電極に相対する対向電極、上記一方の絶縁基板に設けられ、ソース（ドレイン）が上記表示電極に、ドレイン（ソース）が情報信号線に、かつゲートがタイミング信号線に接続されてなるFETを備えてなる液晶表示パネルの表示電極構造において、上記FETのうち同一タイミング信号線に各々のゲートが接続される複数個のFETを1グループとし該グループの各FETのドレイン（ソース）が共通の情報信号線に連結されてなり、上記グループに属するFETのソース（ドレイン）に接続された表示電極にて一画素を構成することを特徴とする液晶表示パネルの表示電極構造

### 8. 発明の詳細な説明

### 療養上の利用分野

本発明は、液晶表示パネルの表示電極構造に関し、更に詳言すれば、液晶表示パネルの一方の絶縁基板内面に形成される多数のドット状表示電極を、同一基板上に形成されたスイッチング素を介してタイミング信号線及び情報信号線に接続してなる構造に関し、液晶テレビ等大型画像表示パネルへの利用が期待されるものである。

## 従来技術

第1図は、この液晶表示パネルの外観を分解して示す図で、(1)(2)は、ガラス板等の透明な絶縁基板、(3)(3)…は、一方の絶縁基板(1)内面にITO (Indium Tin Oxide) 膜にてドット状に多数形成された表示電極、(4)は、他方の絶縁基板(2)内面に同様のITO膜にて形成された対向電極で、上記2枚の絶縁基板(1)(2)は、スペーサ(5)を介して約10μmの間隔を保って保持されてなり、両基板(1)(2)間には、液晶(図示せず)が例えば、T<sub>0</sub>配向せしめられて充填される。(6)(6)…(7)(7)…は表示電極(3)(3)…を選択駆動するタイミング信号線

及び情報信号線で、表示電極(3)(3)…と絶縁基板(1)間に配設されたPBT(図示せず)のゲート及びドレインに接続されている。PBTのソースは各々表示電極(3)(3)…に接続されており、タイミング信号線(6)に信号を与えてPBTを導通させ、同時に情報信号線(7)に情報信号を与えることにより、PBTのドレイン・ソース間に電流が流れ、表示電極(3)、対向電極(4)間に所定電圧が印加されて表示が行なわれる。

第2図及び第3図は、表示電極(3)及びPBT(8)部分を拡大して示す図で(9)は絶縁基板(1)上に被着されたゲートで、タイミング信号線(6)(テレビの場合走査信号線に該当する)に連結される。(9)は絶縁基板(1)及びゲート(9)上に形成されたシリコンナイトライド(SiN<sub>4</sub>)よりなる絶縁膜、(A8)は、この絶縁膜(9)表面においてゲート(9)上方に形成されたアモルファスシリコン層、(D)(3)は、このアモルファスシリコン層(A8)のチャンネル領域を挟んで形成されたドレイン及び表示電極で、この表示電極(3)のうち、アモルファスシリコ

ン層(A8)重畳部がソース(8)を形成する。かかる構成において従来、表示電極(3)の大きさを、250×800μ、ドレイン(D)に加わる信号の電圧7.5V、ゲート(9)に加わる信号の電圧15Vとし、かつドレイン(D)にて兼用される情報信号線の数240本、タイミング信号線の数280本として時分割駆動した場合、表示レスポンスの遅れも目立たず実用に耐える表示パネルを作成することができた。しかしながら、表示電極(3)を、上記寸法以上に大型化した場合には、PBTソース(8)から流出する電流は、かかる大型表示電極(3)を駆動するには不十分となり、表示レスポンス、表示コントラスト低下という欠点が現われる。この場合、信号線(6)(7)に加わる電圧を高くすればよいと考えることもできるが、IC化されたこの種の駆動回路では、高電圧を得ることは困難であり、またその電圧の調整も簡単ではない。また、表示電極(3)の数を増やした場合にも、タイミング信号線(6)1本当りの駆動時間が短縮されることから、前述と同様の問題を生ずる。

#### 発明の目的

本発明は、一画面の寸法の大型化を可能とし、かつタイミング信号線の増加を可能とするものである。

#### 発明の構成

本発明は、液晶表示パネルの一方の絶縁基板表面に多数ドット状に配設された表示電極を、多数個よりなるグループに分割し、かつ同一グループに属する表示電極に対応するPBTを同時に動作させて、上記グループごとに、図素を形成するものである。

#### 実施例

第4図及び第5図は本発明実施例における表示電極(3)(3)…及びPBT(8)(8)…を拡大して図示するもので、8個のPBT(8)(8)…及び8個の表示電極(3)(3)…にて一画面が形成されている。PBT(8)(8)…の各々のドレイン(D)(D)…は、一括接続されて、一本の情報信号線(6)に連結される。各PBT(8)(8)…において、ドレイン(D)(D)…は、アモルファスシリコン層(A8)の略中央に配設され、その両側

にチャンネル領域が形成されるべく所定間隔約10μを隔てて、ITO膜よりなりソース(8)を兼用する表示電極(3)(3)が左右対称に配設される。ゲート(9)は、これらのPBT(8)(8)…の共通ゲートとして作用する。

ドレイン(D)(D)…の幅は、約20μ、またチャンネル領域を挟む表示電極(3)(3)間距離は、約40μ、隣接PBTのソース(8)に接続する表示電極(3)(3)間距離は約80μある。一方表示電極(3)の寸法は、前記従来の例に示すように最大250×800μ程度まで可能であるから、一画面全体に占める非表示面積は、表示面積に比して精微に小さい。それ故、この非表示部分の表示に与える影響は無視できる。

第6図は、前述した実施例の等価回路を示し、(C)(C)…は表示電極の各々に対応する液晶セルである。

前述の実施例では、PBT(8)…を8個、したがって表示電極(3)(3)…を8個にて一画面を構成する場合につき詳述したが、この数は表示パネルの大

きさ、駆動電圧に応じて8個以上の値において任意に設定することができる。例えば第7図に示す如く、1本のドレイン(D)を共有する2個のPBT(8)(8)及び表示電極(3)(3)を一単位とすることもできる。

#### 発明の効果

本発明は、複数の表示電極及びこれらを駆動するPBTを一グループとして同時に動作させるものであるから、一回路が複数の表示電極にて構成されることとなり、表示電極数を増加させることにより一回路の面積を増大させることが可能となる。それ故、従来表示回路を拡大するため表示駆動自体の面積を増大していた方法では得られない大面積表示パネルを応答速度大及び表示コントラストを顕著に向上させることなく実現できる。また、一回路が複数の表示電極及びPBTにて構成されるから、仮にPBTに故障を生じこれが動作不能になったとしても、他のPBTがこれをカバーするからコントラスト等幾分悪化するにしても表示全体に与える影響は軽微である。

#### 4 図面の簡単な説明

第1図は、液晶表示パネルの外観を示す分解斜視図、第2図は従来例平面図、第3図は第2図A-A'断面図、第4図は本発明実施図、第5図は第4図A-A'断面図、第6図は等価回路図、第7図は他の実施例平面図である。

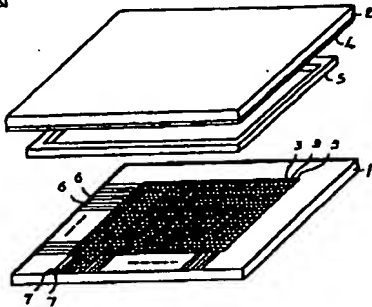
(1)(2)…絶縁基板 (3)(3)…表示電極 4…対向電極 (5)…タイミング信号線 (7)…情報信号線 (8)…PBT (9)…絶縁膜 (A B)…アモルファスシリコン層 (c)…ゲート (d)…ドレイン (e)…ソース

出願人 三洋電機株式会社

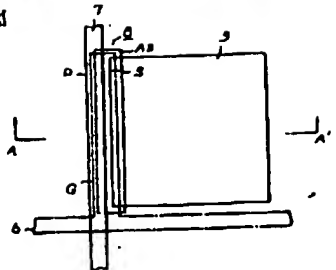
代理人 弁理士 佐野 野夫



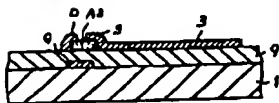
第1図



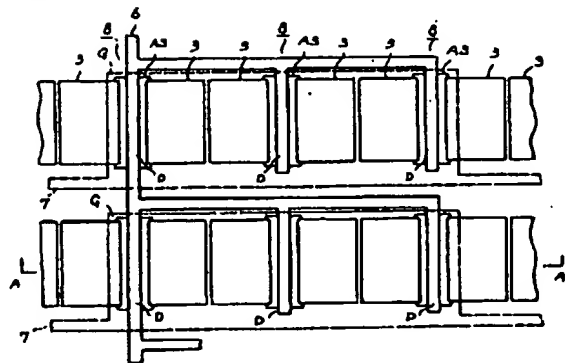
第2図



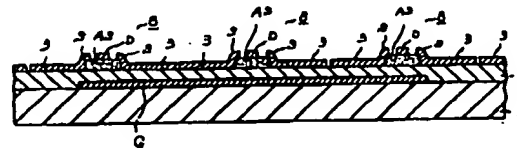
第3図



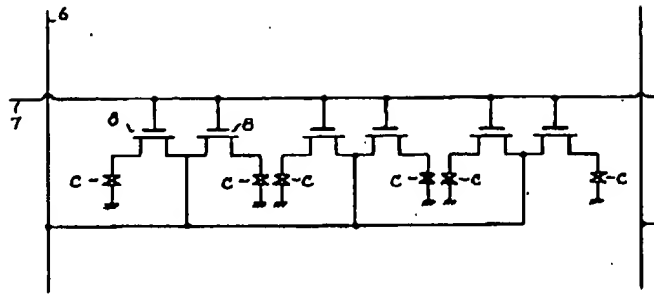
第4図



第5図



第6圖



第7圖

